

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-164831
(P2000-164831A)

(43) 公開日 平成12年6月16日 (2000.6.16)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
H 0 1 L 27/108		H 0 1 L 27/10	6 5 1 4 G 0 4 8
	21/8242	C 0 1 G 35/00	4 K 0 3 0
C 0 1 G 35/00		C 2 3 C 16/18	5 F 0 3 8
C 2 3 C 16/18			5 F 0 5 8
	16/40	H 0 1 L 21/314	A 5 F 0 8 3
		審査請求 有	請求項の数14 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願平10-340684

(22) 出願日 平成10年11月30日 (1998. 11. 30)

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 廣田 俊幸

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74) 代理人 100099830

弁理士 西村 征生

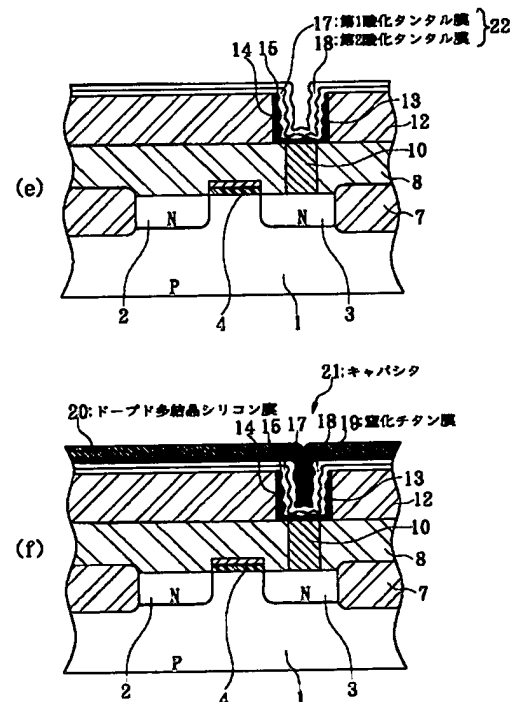
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 酸化タンタル膜の膜質及びカバレッジを両立させて膜厚の薄い高信頼の容量絶縁膜を得る。

【解決手段】 容量絶縁膜としての酸化タンタル膜を成膜するにあたり、第1成膜段階として、成膜温度を略510℃に設定し、高い成膜圧力である略3.0 Torrに設定して、酸素ガスを添加した成膜条件で第1酸化タンタル膜17を成膜する。次に、第2成膜段階として、成膜温度を略510℃に設定し、低い成膜圧力である略0.3 Torrに設定して、酸素ガスを添加しない成膜条件で第2酸化タンタル膜18を成膜する。



【特許請求の範囲】

【請求項1】 金属アルコキシドを含むソースガスを用いて化学的気相成長法により、半導体基板上に酸化タンタル膜を成膜する半導体装置の製造方法であって、前記酸化タンタル膜を第1成膜圧力で成膜する第1成膜工程と、前記酸化タンタル膜を前記第1成膜圧力よりも低い第2成膜圧力で成膜する第2成膜工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 前記金属アルコキシドとしてペンタエトキシタンタルを用いることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記第1成膜工程は、酸素ガスが添加された前記ソースガスを用いて行なうことを特徴とする請求項1又は2記載の半導体装置の製造方法。

【請求項4】 前記酸化タンタル膜を容量絶縁膜として用いることを特徴とする請求項1、2又は3記載の半導体装置の製造方法。

【請求項5】 前記第1成膜圧力が1～10 Torrであり、かつ前記第2成膜圧力が0.1～0.5 Torrであることを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】 前記第1成膜工程で前記酸化タンタル膜を10～30オングストロームの膜厚に成膜する一方、前記第2成膜工程で前記酸化タンタル膜を30～80オングストロームの膜厚に成膜することを特徴とする請求項5記載の半導体装置の製造方法。

【請求項7】 ペンタエトキシタンタルを含むソースガスを用いて化学的気相成長法により、半導体基板上に酸化タンタル膜を容量絶縁膜として成膜する半導体装置の製造方法であって、前記酸化タンタル膜を、成膜圧力が1～10 Torrで、かつ成膜温度が500～560℃の成膜条件で成膜することを特徴とする半導体装置の製造方法。

【請求項8】 酸素ガスが添加されていない前記ソースガスを用いて前記酸化タンタル膜の成膜を行なうことを特徴とする請求項7記載の半導体装置の製造方法。

【請求項9】 前記酸化タンタル膜の成膜を、前記半導体基板上に形成されるキャパシタの下部電極を覆うように行なうことを特徴とする請求項1乃至8のいずれか1に記載の半導体装置の製造方法。

【請求項10】 前記酸化タンタル膜の成膜を、前記下部電極上に形成されて表面積が拡大された導電膜を覆うように行なうことを特徴とする請求項9記載の半導体装置の製造方法。

【請求項11】 前記導電膜としてシリコン膜を用いることを特徴とする請求項10記載の半導体装置の製造方法。

【請求項12】 前記シリコン膜と前記酸化タンタル膜との間に、該シリコン膜と前記酸化タンタル膜との反応

を防止する反応防止膜を形成することを特徴とする請求項11記載の半導体装置の製造方法。

【請求項13】 前記反応防止膜としてシリコン窒化膜を用いることを特徴とする請求項12記載の半導体装置の製造方法。

【請求項14】 前記酸化タンタル膜の成膜が終了した後に、紫外線-オゾンアニーリングを施し、次に酸素アニーリングを施すことを特徴とする請求項1乃至13のいずれか1に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置の製造方法に係り、詳しくは、容量絶縁膜として酸化タンタル(Ta_2O_5)膜を用いたキャパシタ(情報記憶用容量素子)を備える半導体装置の製造方法に関する。

【0002】

【従来の技術】半導体装置の代表として知られているLSI(大規模集積回路)は、メモリ製品とロジック製品とに大別されるが、最近の半導体製造技術の進歩につれて、特に前者における発展がめざましい。また、メモリ製品は、DRAM(Dynamic Random Access Memory)と、SRAM(Static Random Access Memory)とに分類されるが、これらのメモリ製品はほとんどが、集積度の点で優れているMOS(Metal Oxide Semiconductor)トランジスタによって構成されている。また、DRAMはSRAMに比較して上述したような高集積化の利点をより大きく生かせるため、コストダウンが図れるので、情報機器などの各種の記憶装置に広く適用されている。

【0003】DRAMはキャパシタを利用してその電荷の有無により情報を記憶するので、記憶情報の大容量化に伴って半導体基板上に形成される個々のキャパシタの占有面積は制約されてくる。したがって、それぞれのキャパシタのキャパシタンス(静電容量)を増加させる工夫が必要になる。もしキャパシタのキャパシタンスが情報を記憶するのに十分な容量値を有していないと、外部からのノイズ信号などにより容易に誤動作するようになるので、ソフトウェアで代表されるようなエラーが生じ易くなる。

【0004】従来から、キャパシタの容量絶縁膜としては、シリコン酸化膜(SiO_2)を窒化して得られるシリコン酸窒化膜($SiON$)を薄膜化して用いているが、その膜厚は酸化膜換算膜厚 T_{eff} で45～50オングストローム(トンネル電流が流れ始める値)が限界であった。ここで、 T_{eff} は、形成したキャパシタの単位面積当たりのキャパシタンスを、シリコン酸化膜の膜厚に換算した値を示している。そのため、よりキャパシタンスの増加を図るべく、キャパシタの電極の表面積を拡大するために、ボックス型、シリンダ型、フィン型、HSG(Hemispheric Silicon Grain:球状シリコン粒子)型などの各種の立体構造電極が考えられている。

さらに、より複雑な構造も考えられるようになってきているが、スペース的に制約があるので、電極表面積の拡大によりキャパシタンスの増加を図るにも限界があった。このため、容量絶縁膜として誘電率の大きい絶縁材料を用いるに至っている。

【0005】誘電率の大きい絶縁材料は数種類が知られているが、上述したようなキャパシタを構成するには単に誘電率の大きい絶縁材料を容量絶縁膜として用いるだけでなく、その絶縁材料の成膜の容易さ、その絶縁材料からなる容量絶縁膜の両面に設ける一対の電極材料との適応性も考慮しなければならない。これらの点から、誘電率の大きい絶縁材料が必ずしも容量絶縁膜として用いられるとは限らない。このような事情を考慮した結果として、従来から、容量絶縁膜として酸化タンタル膜が広く用いられている。この酸化タンタル膜は、容量絶縁膜として従来から用いられているシリコン酸化膜(SiO_2)と比べて略10倍の大きさの誘電率を有し、また同様に従来から用いられているシリコン窒化膜(Si_3N_4)と比べて略6倍の大きさの誘電率(40~47)を有している。また、酸化タンタル膜は成膜が容易である。したがって、酸化タンタル膜を容量絶縁膜として用いてキャパシタを構成することにより、キャパシタンスを増加させることができるようになる。

【0006】図14(a)~(c)は、上述のようなキャパシタを備える従来の半導体装置の製造方法を工程順に示す工程図である。以下、同図を参照して、同半導体装置の製造方法について工程順に説明する。まず、図14(a)に示すように、例えばP型半導体基板51に、周知の方法により、N型ソース領域52及びドレイン領域53、ゲート絶縁膜54、ゲート電極55などを形成して、複数のN型MOSトランジスタ56を形成する。このN型MOSトランジスタ56は、後述のように形成されるキャパシタと対をなして一個のメモリセルを構成する。57は全体を覆う層間絶縁膜、58は素子分離用絶縁膜である。

【0007】次に、図14(b)に示すように、N型MOSトランジスタ56のN型ドレイン領域53(あるいはN型ソース領域52)上の層間絶縁膜57にコンタクトホール59を形成した後、このコンタクトホール59内を含む全面にN型ドレイン領域53と導通するように導電層を形成する。次に、導電層を所望形状にパターニングして、キャパシタの下部電極(ストレージ電極)61を形成する。

【0008】次に、図14(c)に示すように、CVD(Chemical Vapor Deposition:化学的気相成長)法により、容量絶縁膜として機能する酸化タンタル膜62を所望の膜厚に成膜する。このCVD法においては、半導体基板51をCVD装置の反応容器内に収容した後、反応容器内を所望の一定の成膜圧力に保持した状態で、タンタルアルコキシドの一種であるペンタエトキシタンタル

ガスと酸素ガスとの混合ガスを導入して成膜処理を施して、所望の膜厚の酸化タンタル膜62を成膜する。次に、酸化タンタル膜62上に上部電極(プレート電極)63を形成する。以上によって、酸化タンタル膜62を容量絶縁膜とし、この酸化タンタル膜62の上下面にそれぞれ形成された上部電極63及び下部電極61によりキャパシタ64が構成される。このキャパシタ64は、上述したようにN型MOSトランジスタ56に直列に接続されてメモリセルを構成する。

【0009】ところで、上述したように有機ソースガスを用いて酸化タンタル膜62を成膜した場合、この酸化タンタル膜62には炭素が数%含まれるようになるので、その後にLSI製造工程において各種の熱処理が行われた際に、その熱処理の影響を受けて炭素が酸化タンタル膜62内の酸素を奪って、CO又はCO₂の形で酸化タンタル膜62の外部に離脱してしまうという現象が生ずる。この結果、酸化タンタル膜62内の酸素が欠乏してリーク電流が流れ易くなるという欠点が生ずる。

【0010】上述したような酸化タンタル膜内の酸素の欠乏によるリーク電流の発生を防止するようにした半導体装置の製造方法が、例えば特開平9-121035号公報に開示されている。同公報には、下部電極の形成された半導体基板上に酸化タンタル膜を形成する第1段階と、その酸化タンタル膜の形成された半導体基板上にUV(Ultra-Violet:紫外線)-O₃(オゾン)アニーリングを施す第2段階と、上述の第1段階及び第2段階を一回以上繰り返して施す第3段階とを含む半導体素子のキャパシタ製造方法が記載されている。

【0011】

【発明が解決しようとする課題】ところで、上記公報に記載の半導体装置の製造方法では、容量絶縁膜としての酸化タンタル膜内の酸素の欠乏によるリーク電流の発生を防止することができるものの、酸化タンタル膜の膜質が低下する、という問題がある。すなわち、この出願に係る発明者の実験によると、上記公報に記載されているような処理を施すと、下部電極界面には誘電率が低い膜が形成されて、この低誘電率膜は容易に解質されないことを確認した。そして、この低誘電率膜の存在により、例えば酸化タンタル膜のTDDB(Time Dependent Dielectric Breakdown:絶縁膜経時破壊)特性が悪くなるようになって、膜質が低下するようになる。

【0012】また、よりキャパシタンスの増加を図るには酸化タンタル膜をトンネル電流が流れ始める直前の膜厚まで薄膜化する必要があるが、この場合には酸化タンタル膜には膜質の向上と共に、カバレッジ(被覆性)の向上が求められる。すなわち、酸化タンタル膜は、下部電極を覆っているキャパシタンス増加のために表面積が拡大された導電膜(表面に凹凸面を有している)、いわゆるHSG処理された導電膜上に成膜されるので、容量絶縁膜としてそのカバレッジが問題になる。加えて、下

5

部電極自身のアスペクト比が厳しくなっているので、カバレッジの問題はより重要になっている。

【0013】この発明は、上述の事情に鑑みてなされたもので、酸化タンタル膜の膜質を向上させて膜厚の薄い高信頼の容量絶縁膜を得ることができる半導体装置の製造方法を提供することを目的としている。

【0014】また、この発明は、酸化タンタル膜の膜質及びカバレッジを両立させて膜厚の薄い高信頼の容量絶縁膜を得ることができる半導体装置の製造方法を提供することを目的としている。

【0015】

【課題を解決するための手段】上記課題を解決するために、請求項1記載の発明は、金属アルコキシドを含むソースガスを用いて化学的気相成長法により、半導体基板上に酸化タンタル膜を成膜する半導体装置の製造方法であって、上記酸化タンタル膜を第1成膜圧力で成膜する第1成膜工程と、上記酸化タンタル膜を上記第1成膜圧力よりも低い第2成膜圧力で成膜する第2成膜工程とを含むことを特徴としている。

【0016】請求項2記載の発明は、請求項1記載の半導体装置の製造方法に係り、上記金属アルコキシドとしてペンタエトキシタンタルを用いることを特徴としている。

【0017】請求項3記載の発明は、請求項1又は2記載の半導体装置の製造方法に係り、上記第1成膜工程は、酸素ガスが添加された上記ソースガスを用いて行なうことを特徴としている。

【0018】請求項4記載の発明は、請求項1、2又は3記載の半導体装置の製造方法に係り、上記酸化タンタル膜を容量絶縁膜として用いることを特徴としている。

【0019】請求項5記載の発明は、請求項4記載の半導体装置の製造方法に係り、上記第1成膜圧力が1～10 Torrであり、かつ上記第2成膜圧力が0.1～0.5 Torrであることを特徴としている。

【0020】請求項6記載の発明は、請求項5記載の半導体装置の製造方法に係り、上記第1成膜工程で上記酸化タンタル膜を10～30オングストロームの膜厚に成膜する一方、上記第2成膜工程で上記酸化タンタル膜を30～80オングストロームの膜厚に成膜することを特徴としている。

【0021】請求項7記載の発明は、ペンタエトキシタンタルを含むソースガスを用いて化学的気相成長法により、半導体基板上に酸化タンタル膜を容量絶縁膜として成膜する半導体装置の製造方法であって、上記酸化タンタル膜を、成膜圧力が1～10 Torrで、かつ成膜温度が500～560℃の成膜条件で成膜することを特徴としている。

【0022】請求項8記載の発明は、請求項7記載の半導体装置の製造方法に係り、酸素ガスが添加されていない上記ソースガスを用いて上記酸化タンタル膜の成膜を

6

行なうことを特徴としている。

【0023】請求項9記載の発明は、請求項1乃至8のいずれか1に記載の半導体装置の製造方法に係り、上記酸化タンタル膜の成膜を、上記半導体基板上に形成されるキャパシタの下部電極を覆うように行なうことを特徴としている。

【0024】請求項10記載の発明は、請求項9記載の半導体装置の製造方法に係り、上記酸化タンタル膜の成膜を、上記下部電極上に形成されて表面積が拡大された導電膜を覆うように行なうことを特徴としている。

【0025】請求項11記載の発明は、請求項10記載の半導体装置の製造方法に係り、上記導電膜としてシリコン膜を用いることを特徴としている。

【0026】請求項12記載の発明は、請求項11記載の半導体装置の製造方法に係り、上記シリコン膜と上記酸化タンタル膜との間に、該シリコン膜と上記酸化タンタル膜との反応を防止する反応防止膜を形成することを特徴としている。

【0027】請求項13記載の発明は、請求項12記載の半導体装置の製造方法に係り、上記反応防止膜としてシリコン窒化膜を用いることを特徴としている。

【0028】請求項14記載の発明は、請求項1乃至13のいずれか1に記載の半導体装置の製造方法に係り、上記酸化タンタル膜の成膜が終了した後に、紫外線-オゾンアニーリングを施し、次に酸素アニーリングを施すことを特徴としている。

【0029】

【発明の実施の形態】前提（発明の原理）

まず、この発明の完成のきっかけとなった実験結果について説明する。この出願に係る発明者は、種々の実験の結果、酸化タンタル膜を成膜する場合、成膜圧力及び成膜温度を望ましい範囲に設定することにより、酸化タンタル膜の下部電極界面の低誘電率膜を解質して、膜質を改善できることを確認した。また、酸化タンタル膜を成膜する場合、成膜圧力を高くして成膜すると膜質が向上する一方、カバレッジは低下し、逆に成膜圧力を低くして成膜するとカバレッジが向上する一方、膜質が低下することを発見した。この事実から、高い成膜圧力の第1成膜段階により膜厚を独立に制御する一方、低い成膜圧力の第2成膜段階によりカバレッジを独立に制御することにより、酸化タンタル膜の膜質及びカバレッジを両立させることができることを確認した。

【0030】実験結果 1

酸化タンタル膜を成膜して、そのカバレッジの成膜圧力依存性を確認した。図7はその結果を示すグラフで、縦軸はカバレッジ（%）、横軸は成膜圧力（Torr（Torriceili））である。ここで、図5に示すように、予め半導体基板71上の層間絶縁膜72に一例としてアスペクト比 $B/A=4.0$ のコンタクトホール73を形成したサンプルを用意して、このサンプルをCVD装置の

反応容器内に収容して酸化タンタル膜74を成膜して、コンタクトホール73の表面に成膜された膜厚aと、コンタクトホール73の底部側壁面に成膜された膜厚bとの比 b/a =カバレッジと定義した。

【0031】上述の反応容器内に、成膜温度を略510℃に設定して、原料ガスとして流量が略100mg/分のPETa（ペンタエトキシタンタル：Ta（OC₂H₅）₅）ガス、流量が略1000sccm（Standard cubic centimeter per minute）の酸素ガス及び流量が略300sccmのヘリウムガス（キャリアガス）を供給して酸化タンタル膜を成膜することにより、特性（1）が得られた。一方、原料ガスに酸素ガスを添加しないで酸化タンタル膜を成膜したところ、特性（2）が得られた。ここで、酸素ガスは成膜処理における成長初期の成膜を安定化するために用いられている。

【0032】図7から明らかなように、酸素ガスの有無に関係なく、成膜圧力が略0.1Torrを越えた領域では、特性（1）及び特性（2）のカバレッジは共に徐々に低下してくる。但し、略0.5Torrまでの範囲までなら、カバレッジが略90%以上の優れた酸化タンタル膜を成膜できる。同図において、特に、原料ガスに酸素ガスを添加した成膜条件で得られた特性（1）では、酸素ガスを添加しない成膜条件で得られた特性

（2）よりもカバレッジの低下の度合いは大きくなっている。これは、以下のような理由に基づいていると考えられる。すなわち、成膜圧力が低い領域では、原料ガスの供給量が一定の場合流速が速くなり、原料ガスが基板表面に供給され易くなると同時に、原料ガス分子の平均自由行程が長くなるので、カバレッジが良好になる。また、特に酸素ガスを用いない場合は、気相中での反応が抑制されるので、表面での反応が支配的になるため、成膜圧力が高い領域におけるカバレッジの低下が抑制される。

【0033】この結果、図7から明らかなように、酸素ガスの有無に関係なく、0.1～0.5Torrの範囲の低い成膜圧力で酸化タンタル膜を成膜すると、カバレッジを向上させることができることが確認できた。

【0034】実験結果 2

酸化タンタル膜を成膜して、その膜質の膜厚依存性を確認した。図8はその結果を示すグラフで、縦軸は酸化膜換算膜厚（オングストローム）、横軸は膜厚（エリブソ値）（オングストローム）である。ここで、酸化膜換算膜厚は、前述したように定義され、薄いほどキャパシタンスが大きいことを示している。成膜温度、原料ガスの種類及び流量は、図7の場合と同じ成膜条件に設定した。

【0035】図8において、特性（3）は、成膜圧力を略0.1Torrに設定して、酸素ガスを添加しない成膜条件で得られた特性を示している。以下、特性（4）は成膜圧力を略0.3Torrに設定して酸素ガスを添

加しない成膜条件で得られた特性を、特性（5）は成膜圧力を略0.3Torrに設定して酸素ガスを添加した成膜条件で得られた特性を、特性（6）は成膜圧力を略0.5Torrに設定して酸素ガスを添加しない成膜条件で得られた特性を、特性（7）は成膜圧力を略1.0Torrに設定して酸素ガスを添加しない成膜条件で得られた特性を、特性（8）は成膜圧力を略3.0Torrに設定して酸素ガスを添加した成膜条件で得られた特性を、特性（9）は成膜圧力を略3.0Torrに設定して酸素ガスを添加しない成膜条件で得られた特性を、特性（10）は成膜圧力を略5.0Torrに設定して酸素ガスを添加しない成膜条件で得られた特性をそれぞれ示している。

【0036】図8から明らかなように、酸素ガスの有無に関係なく、図7ではカバレッジに優れている低い成膜圧力の範囲である0.1～略0.5Torrに設定して得られた特性（3）～特性（6）において、酸化膜換算膜厚が厚くなっており、膜質に劣っていることを示している。一方、酸素ガスの有無に関係なく、図7ではカバレッジに劣っている高い成膜圧力の範囲である1.0～10Torrに設定して得られた特性（7）～特性（10）において、酸化膜換算膜厚が薄くなっており、膜質に優れていることを示している。

【0037】すなわち、図7及び図8から明らかなように、酸化タンタル膜を成膜した場合、成膜圧力に関してカバレッジと膜質とはトレードオフの関係になっていることが理解できる。また、図8から注目すべきは、上述のすべての特性（3）～（10）の傾きが略同じで互いが並行していることであり、これはある膜厚より厚い部分では、誘電率は略一定であると考えられる。このことは、低い成膜圧力で成膜される酸化タンタル膜の成膜初期の膜質が、この後に継続して成膜される上層膜の膜質とは異なってくることを示しており、低誘電率の膜の存在を示唆している。そして、この低誘電率の膜は、前述したような特開平9-121035号公報に示されているような改質処理を施しても改質することができなかった。

【0038】上述のような事実を考慮して、0.1～0.5Torrの低い成膜圧力ではカバレッジに優れた酸化タンタル膜が成膜される一方、1.0～10.0Torrの高い成膜圧力では膜質に優れた酸化タンタル膜が成膜されるという長所に着目して、両者を組み合わせて二つの段階で酸化タンタル膜を成膜したところ、図8に示すような特性（11）が得られた。この特性（11）は、第1成膜段階として、高い成膜圧力である略3.0Torrに設定して、酸素ガスを添加した成膜条件で成膜を行なった後、第2成膜段階として、低い成膜圧力である略0.3Torrに設定して、酸素ガスを添加しない成膜条件で成膜を行なって得られた特性を示している。特性（11）は、第1成膜段階の高い成膜圧力によ

り膜厚を独立に制御する一方、第2成膜段階の低い成膜圧力によりカバレッジを独立に制御することにより、膜質及びカバレッジを両立させた酸化タンタル膜を成膜できることを示している。

【0039】実験結果 3

高い成膜条件及び低い成膜条件で成膜した酸化タンタル膜に生ずるリーク電流密度の膜厚依存性を確認した。図9はその結果を示すグラフで、縦軸はリーク電流密度 (A/cm^2)、横軸は膜厚 (エリプソ値) (オングストローム) である。ここで、図6に示すように、成膜した酸化タンタル膜を容量絶縁膜として用いたキャパシタを予め試作して、このキャパシタのリーク電流を測定することにより確認した。キャパシタ80は、半導体基板81上に形成された下部電極82と上部電極83との間に酸化タンタル膜84が成膜され、この酸化タンタル膜84は表面積が拡大された導電層85、いわゆるHSG導電膜を介して下部電極82を覆っている構造を有している。リーク電流密度の測定は、基板81と上部電極83との間に+1.2Vの電圧Eを印加して行なった。なお、横軸の膜厚は導電膜85上に形成されたRTN(Rapid Thermal Nitritization:急速熱生成窒化)膜の膜厚を含んでおり、酸化タンタル膜成膜前のRTN膜の膜厚は略18オングストロームであった。なお、このRTN膜は、後述するように、シリコンと酸化タンタル膜との反応を防止するために形成されている。

【0040】図9において、特性(12)は、成膜圧力を略3.0 Torrに設定して、酸素ガスを添加した成膜条件で得られた特性を示している。以下、特性(13)は成膜圧力を略3.0 Torrに設定して酸素ガスを添加しない成膜条件で得られた特性を、特性(14)は成膜圧力を略0.3 Torrに設定して酸素ガスを添加しない成膜条件で得られた特性を示している。また、特性(15)は、第1成膜段階として、高い成膜圧力である略3.0 Torrに設定して、酸素ガスを添加した成膜条件で成膜(膜厚:略20オングストローム)を行なった後、第2成膜段階として、低い成膜圧力である略0.3 Torrに設定して、酸素ガスを添加しない成膜条件で成膜(膜厚:略47オングストローム)を行なって得られた特性を示している。この特性(15)が得られた成膜条件は、図8において、特性(11)が得られた成膜条件に対応している。

【0041】図9から明らかなように、圧力が高い成膜条件で得られた特性(12)及び特性(13)は、圧力が低い成膜条件で得られた特性(14)及び特性(15)と比較して、膜厚が略60オングストロームよりも厚い領域では、リーク電流密度は小さくなっているが、膜厚が略60オングストロームよりも薄い領域では、特性(14)及び特性(15)よりもリーク電流密度が急速に増加している。これは、前述したように高い成膜条件で成膜した酸化タンタル膜はカバレッジが劣っている

という事実を反映しているためであると考えられる。また、圧力が低い成膜条件における特性(14)が、膜厚が略60オングストロームよりも厚い領域で、特性(12)及び特性(13)よりもリーク電流密度が大きいのは、前述したように成長初期膜の誘電率の低い膜がトラップの多い劣悪の膜であり、これがそのままリーク電流密度特性をも劣化させていることを示唆している。また、60~120オングストロームでリーク電流の膜厚依存が小さいことから、リーク電流を制限しているのは、主に酸化タンタル膜の下地のRTN膜であると考えられる。

【0042】実験結果 4

圧力が高い成膜条件及び低い成膜条件で成膜した酸化タンタル膜のTDDBのワイブルプロットを確認した。図10はその結果を示すグラフで、縦軸は累積不良率(F(t))、横軸は累積ストレス時間(sec)である。ここでは、図6に示したキャパシタ80を用いて、印加電圧: +6.6V、判定電圧: +1.5V、判定電流: $1 \times 10^{-5} A/cm^2$ (25℃)の条件で行った。なお、△Tは、希釈HF(弗酸)処理した後に、RTN処理(アンモニア雰囲気中で、870~980℃、1分間)したシリコン基板上に、酸化タンタル膜を成膜した場合の膜厚増加分を示している。また、酸化タンタル膜成膜前のRTN膜の膜厚は略18オングストロームであった。

【0043】図10において、特性(16)は、成膜圧力を略0.3 Torrに設定して、酸素ガスを添加した成膜条件で得られた特性(△T:略71オングストローム、換算膜厚Teff:略37.3オングストローム)を示し、特性(17)は、成膜圧力を略3.0 Torrに設定して、酸素ガスを添加した成膜条件で得られた特性(△T:略67オングストローム、Teff:略31.2オングストローム)を示している。また、特性(18)は、成膜圧力を略3.0 Torrに設定して、酸素ガスを添加しない成膜条件で得られた特性(△T:略68オングストローム、Teff:略31.5オングストローム)を示している。

【0044】また、特性(19)は、第1成膜段階として、高い成膜圧力である略3.0 Torrに設定して、酸素ガスを添加した成膜条件で成膜(△T:略20オングストローム)を行なった後、第2成膜段階として、低い成膜圧力である略0.3 Torrに設定して、酸素ガスを添加しない成膜条件で成膜(△T:略47オングストローム)を行なって得られた特性(Teff:略31.8オングストローム)を示している。この特性(19)が得られた成膜条件は、図8において、特性(11)が得られた成膜条件に、また図9において、特性(15)が得られた成膜条件に対応している。

【0045】図10から明らかなように、高い成膜条件で得られた特性(17)及び特性(18)、高い成膜条件

件と低い成膜条件とを組み合わせ得られた特性(19)は、低い成膜条件で得られた特性(16)と比較して、略3桁も寿命が改善されている。しかしながら、特性(17)は前述したように、カバレッジが劣っている。これに対して、特性(19)は傾きが大きくなっていて、長い寿命が得られることが理解される。また、特性(18)は特性(19)よりは劣るものの、特性(17)よりは優れていてそれなりの効果が得られる。したがって、本実験によれば、酸化タンタル膜を成膜する場合、特性(19)が得られた成膜条件のように、第1成膜段階として高い成膜圧力で成膜を行った後、第2成膜段階として低い成膜圧力で成膜を行う二段階にわたる成膜方法の場合だけでなく、特性(18)が得られた成膜条件のように、一段階で成膜を行う場合でも、成膜圧力及び成膜温度を望ましい範囲に設定することにより、膜質を改善できるようになる。実験の結果、成膜圧力を1~10 Torr、成膜温度を500~560℃に設定することにより、特性(18)と略等しい結果を得ることができた。これは、酸化タンタル膜を60~120オングストロームの膜厚で使用するには十分な成膜条件である。

【0046】図11乃至図13は、以上の実験結果の1~4に基づいて導き出されるキャパシタのモデルを模式的に説明する図で、各図において、(a)は断面図、(b)は(a)のA部の拡大図である。図11乃至図13において、91は下部電極となるシリコン膜(HSG膜)、92及び93は上部電極となる窒化チタン膜(TiN)及びシリコン膜、94及び95は容量絶縁膜となるRTN膜(SiON膜)及び酸化タンタル膜である。また、95Aは酸化タンタル膜95の成長初期に成膜される誘電率の低い膜である。

【0047】図11は、低い成膜圧力(0.1~0.5 Torr)で酸化タンタル膜95が成膜された場合を示し、酸化タンタル膜95はカバレッジに優れているものの、成膜初期に誘電率の低い膜95Aが形成されるので、膜質の悪い膜となる。したがって、その誘電率の低い膜95Aが原因でキャパシタンスの増加が阻害されるだけでなく、キャパシタの信頼性を著しく低下させるようになる。

【0048】図12は、高い成膜圧力(1.0~10 Torr)で酸化タンタル膜95が成膜された場合を示し、酸化タンタル膜95は誘電率の低い膜が形成されにくいので膜質が優れているものの、B部分においてカバレッジの悪い膜が成膜される。したがって、カバレッジの悪さによりリーク電流が増加するようになるので、薄膜化が制限されるようになる。また、カバレッジの悪さが反映されて、TDD B特性がブロードになる(傾きが小さくなる)ので、キャパシタの信頼性を劣化させる原因となる。

【0049】図13は、この発明の原理による、高い成

膜圧力(1~10 Torr)で第1酸化タンタル膜95aの成膜を行う第1成膜段階と、低い成膜圧力(0.1~0.5 Torr)で第2酸化タンタル膜95bの成膜を行う第2成膜段階との二段階によって酸化タンタル膜が成膜された場合を示し、膜質及びカバレッジに優れた酸化タンタル膜が成膜される。B部分におけるカバレッジも改善されて良くなっている。これにより、薄膜化の限界をより改善(50~60オングストローム)することができるようになる。また、この発明の他の原理によれば、一段階で成膜を行う場合でも、成膜圧力及び成膜温度を前述したように望ましい範囲(成膜圧力:1~10 Torr、成膜温度:500~560℃)に設定することにより、膜質を改善(60~120オングストローム)できる酸化タンタル膜を成膜できる。

【0050】以下、上述の原理を基に、図面を参照して、この発明の実施の形態について説明する。説明は、実施例を用いて具体的に行う。

◇第1実施例

図1~図3は、この発明の第1実施例である半導体装置の製造方法を工程順に示す工程図である。以下、図1~図3を参照して、同半導体装置の製造方法について工程順に説明する。まず、図1(a)に示すように、例えばP型半導体基板1に、周知の方法により、N型ソース領域2及びドレイン領域3、ゲート絶縁膜4、ゲート電極5を形成して、複数のN型MOSトランジスタ6を形成する。それぞれのN型MOSトランジスタ6は相互に素子分離用絶縁膜7により絶縁分離されて、各N型MOSトランジスタ6は後述のように形成されるキャパシタと対をなして一個のメモリセルを構成する。次に、CVD法により全面を覆うように、シリコン酸化膜、シリコン窒化膜などの層間絶縁膜8を形成する。

【0051】次に、図1(b)に示すように、リソグラフィ法により、N型MOSトランジスタ6のN型ドレイン領域3(あるいはN型ソース領域2)上の層間絶縁膜8にコンタクトホール9を形成した後、CVD法によりコンタクトホール9を含んだ全面に硼素、燐などの不純物をドーブしたドーブ多結晶シリコン膜などの導電膜を形成する。次に、この導電膜のコンタクトホール9内以外の不要部分をエッチングして、コンタクトホール9内にプラグ導電膜10を形成する。

【0052】次に、図2(c)に示すように、CVD法により全面を覆うように、NSG(Non-doped Silicate Glass)などからなる層間絶縁膜12を形成する。次に、リソグラフィ法により、プラグ導電膜10上の層間絶縁膜12にコンタクトホール13を形成する。次に、CVD法により全面を覆うように、HSG導電膜14を形成した後、このHSG導電膜14のコンタクトホール13内以外の不要部分をエッチングして、スルーホール13内のみにHSG導電膜14を残して、キャパシタの下部電極となす。ここでHSG導電膜14は、キャパシ

タンス増加のために表面が球状に形成されて、表面積が拡大された形状に形成されている。

【0053】次に、図2(d)に示すように、P型半導体基板1をアンモニアの雰囲気中に曝して、870～950℃で略1分間処理して、いわゆるRTN処理を施してHSG導電膜14の表面に膜厚が略200ÅのRTN膜(シリコン窒化膜)15を形成する。このRTN処理は、この後に下部電極としてのHSG導電膜14上に容量絶縁膜としての酸化タンタル膜を成膜するにあたり、この酸化タンタル膜を直接にHSG導電膜14上に成膜すると、HSG導電膜14の成分であるシリコンと酸化タンタル膜とが反応するのを防止するために行われる。

【0054】次に、図3(e)に示すように、CVD法により、RTN膜15上に容量絶縁膜としての酸化タンタル膜を成膜する。この成膜にあたっては、前述したようなこの発明の原理を応用して行う。すなわち、図8において特性(11)、図9において特性(15)及び図10において特性(19)が得られた成膜条件と同じ成膜条件により酸化タンタル膜を成膜する。まず、第1成膜段階として、成膜温度を略510℃に設定し、高い成膜圧力である略3.0 Torrに設定して、酸素ガスを添加した成膜条件で略5秒間成膜処理して、膜厚が略200Åの第1酸化タンタル膜17を成膜する。次に、第2成膜段階として、成膜温度を略510℃に設定し、低い成膜圧力である略0.3 Torrに設定して、酸素ガスを添加しない成膜条件で略60秒間成膜処理して、膜厚が略50Åの第2酸化タンタル膜18を成膜する。以上により、容量絶縁膜として膜厚が略700Åの酸化タンタル膜22を成膜する。このような成膜条件で成膜された酸化タンタル膜22は、膜質及びカバレージに優れた膜厚の薄い高信頼の容量絶縁膜として機能する。なお、容量絶縁膜としては酸化タンタル膜22に接しているRTN膜15も機能しているが、実質的に酸化タンタル膜22が支配的に機能している。

【0055】次に、UV-O₃アニーリングを、400～500℃で、略5分間施した後、O₂アニーリングを、略800℃で、略10分間施して、酸化タンタル膜22の改質処理を行う。次に、図3(f)に示すように、CVD法により、膜厚が100～200Åの窒化チタン膜19を形成した後、この窒化チタン膜19を覆うように、膜厚が1300～1700Åの不純物濃度が略 $1 \times 10^{20}/\text{cm}^3$ のドーパド多結晶シリコン膜20を形成して、キャパシタの上部電極となす。以上により、HSG導電膜14を下部電極、RTN膜15及び第1、第2酸化タンタル膜17、18(酸化タンタル膜22)を容量絶縁膜、窒化チタン膜19及びドーパド多結晶シリコン膜20を上部電極とするキャパシタ21が形成される。そして、このキ

ャパシタ21はN型MOSトランジスタ6に直列に接続されてメモリセルが構成されて、半導体装置が完成する。

【0056】このように、この例の構成によれば、容量絶縁膜としての酸化タンタル膜を成膜するにあたり、第1成膜段階として、成膜温度を略510℃に設定し、高い成膜圧力である略3.0 Torrに設定して、酸素ガスを添加した成膜条件で第1酸化タンタル膜17を成膜した後、第2成膜段階として、成膜温度を略510℃に設定し、低い成膜圧力である略0.3 Torrに設定して、酸素ガスを添加しない成膜条件で第2酸化タンタル膜18を成膜するようにしたので、成膜圧力が高い成膜条件及び成膜圧力が低い成膜条件の長所を生かして酸化タンタル膜を成膜できる。したがって、容量絶縁膜としての酸化タンタル膜の膜質及びカバレージを両立させて膜厚の薄い高信頼の容量絶縁膜を得ることができる。

【0057】◇第2実施例

図4は、この発明の第2実施例である半導体装置の製造方法を工程順に示す工程図である。この第2実施例の半導体装置の製造方法の構成が、上述の第1実施例のそれと大きく異なるところは、酸化タンタル膜の成膜を一段階で行うようにした点である。以下、同図を参照して、同半導体装置の製造方法を工程順に説明する。まず、第1実施例と略同じ工程を繰り返すことにより、図2(d)に示したものと略同じ構造の半導体基板1を得る。

【0058】次に、図4(a)に示すように、CVD法により、RTN膜15上に容量絶縁膜としての酸化タンタル膜を成膜する。この成膜にあたっては、前述したようなこの発明の他の原理を応用して行う。すなわち、図10において特性(18)が得られた成膜条件と同じ成膜条件により酸化タンタル膜を成膜する。成膜温度を略510℃に設定し、成膜圧力を略3.0 Torrに設定して、酸素ガスをを用いない成膜条件で略70秒間成膜処理して、膜厚が略600Åの酸化タンタル膜23を成膜する。このような成膜条件で成膜された酸化タンタル膜は、第1実施例で成膜されたそれと比較して、大きい膜厚(600～1200Å)において膜質が改善される。

【0059】次に、UV-O₃アニーリングを、400～500℃で、略5分間施した後、O₂アニーリングを、略800℃で、略10分間施して、酸化タンタル膜23の改質処理を行う。次に、図4(b)に示すように、CVD法により、膜厚が100～200Åの窒化チタン膜24を形成した後、この窒化チタン膜24を覆うように、膜厚が1300～1700Åの不純物濃度が略 $1 \times 10^{20}/\text{cm}^3$ のドーパド多結晶シリコン膜25を形成して、キャパシタの上部電極となす。以上により、HSG導電膜14を下部電極、RTN膜15及び酸化タンタル膜23を容量絶縁

膜、窒化チタン膜 24 及びドーパド多結晶シリコン膜 25 を上部電極とするキャパシタ 26 が形成される。そして、このキャパシタ 26 は N 型 MOS トランジスタ 6 に直列に接続されてメモリセルが構成されて、半導体装置が完成する。

【0060】このように、この例の構成によれば、比較的膜厚が大きい酸化タンタル膜を成膜する場合でも、膜質を改善することができる。加えて、この構成によれば、一段階で酸化タンタル膜を成膜できるので、工程数を削減することができる。

【0061】以上、この発明の実施例を図面により詳述してきたが、具体的な構成はこの実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更などがあってもこの発明に含まれる。例えば、酸化タンタル膜を成膜する原料ガスとしてはペンタエトキシタンタルガスに限らず、ペンタメトキシタンタル ($\text{Ta}(\text{OCH}_3)_5$) ガス、ペンタブトキシタンタル ($\text{Ta}(\text{OC}_4\text{H}_9)_5$) ガスなどの他の材料を用いることができ、一般に金属アルコキシド材料であれば使用可能である。

【0062】また、層間絶縁膜としては、はシリコン酸化膜、シリコン窒化膜などに限らず、BSG (Boro-Silicate Glass) 膜、PSG (Phospho-Silicate Glass) 膜、BPSG (Boro-Phospho-Silicate Glass) 膜などを用いることができる。また、層間絶縁膜は、単層膜に限らず、複数の絶縁膜を重ねて構成した多層膜に対しても適用することができる。また、層間絶縁膜に対するコンタクトホール形成は、第 3 層間絶縁膜以降の層間絶縁膜に対しても適用することができる。

【0063】また、下部電極上に HSG 導電膜を介して酸化タンタル膜を成膜する例に限らず、酸化タンタル膜は HSG 導電膜を不要にして、下部電極上に直接に成膜しても良い。また、半導体領域の導電型は P 型と N 型とを逆にしても良い。また、成膜処理の成膜温度、成膜圧力、ガス流量などの条件は一例を示したものであり、目的、用途などに応じて変更することができる。

【0064】

【発明の効果】以上説明したように、この発明の半導体装置の製造方法によれば、容量絶縁膜としての酸化タンタル膜を成膜するにあたり、第 1 成膜段階として第 1 成膜圧力で成膜を行った後、第 2 成膜段階として第 1 成膜圧力よりも低い第 2 成膜圧力で成膜を行うようにしたので、成膜圧力が高い成膜条件及び成膜圧力が低い成膜条件の長所を生かして酸化タンタル膜を成膜できる。したがって、容量絶縁膜としての酸化タンタル膜の膜質及びカバレッジを両立させて膜厚の薄い高信頼の容量絶縁膜を得ることができる。また、この発明の半導体装置の製造方法によれば、成膜圧力及び成膜温度を望ましい範囲

に設定して、一段階で酸化タンタル膜の成膜を行うようにしたので、工程数を増加しないで信頼性の高い酸化タンタル膜を成膜できる。したがって、容量絶縁膜としての酸化タンタル膜の膜質を向上させて膜厚の薄い高信頼の容量絶縁膜を得ることができる。

【図面の簡単な説明】

【図 1】この発明の第 1 実施例である半導体装置の製造方法を工程順に示す工程図である。

【図 2】同半導体装置の製造方法を工程順に示す工程図である。

【図 3】同半導体装置の製造方法を工程順に示す工程図である。

【図 4】この発明の第 2 実施例である半導体装置の製造方法を工程順に示す工程図である。

【図 5】この発明の原理を説明するための図である。

【図 6】この発明の原理を説明するための図である。

【図 7】この発明の原理を説明するための成膜圧力とカバレッジとの関係を示すグラフである。

【図 8】この発明の原理を説明するための膜厚と酸化膜換算膜厚との関係を示すグラフである。

【図 9】この発明の原理を説明するための膜厚とリーク電流密度との関係を示すグラフである。

【図 10】この発明の原理を説明するための累積ストレス印加時間と累積不良率との関係を示すグラフである。

【図 11】この発明の原理を説明する図である。

【図 12】この発明の原理を説明する図である。

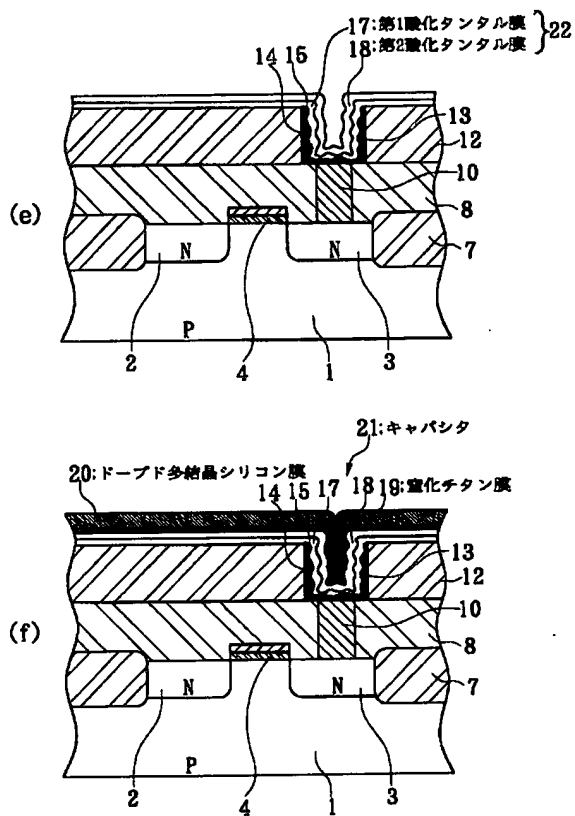
【図 13】この発明の原理を説明する図である。

【図 14】従来の半導体装置の製造方法を工程順に示す工程図である。

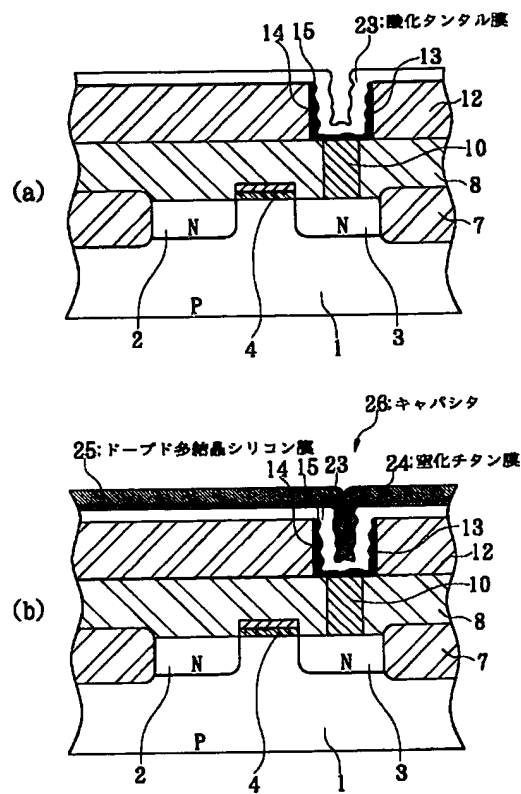
【符号の説明】

- | | |
|-------|-----------------|
| 1 | P 型半導体基板 |
| 2 | N 型ソース領域 |
| 3 | N 型ドレイン領域 |
| 4 | ゲート絶縁膜 |
| 5 | ゲート電極 |
| 6 | N 型 MOS トランジスタ |
| 7 | 素子分離用絶縁膜 |
| 8、12 | 層間絶縁膜 |
| 9、13 | コンタクトホール |
| 10 | プラグ導電膜 |
| 14 | HSG 導電膜 (シリコン膜) |
| 15 | RTN 膜 (シリコン窒化膜) |
| 17 | 第 1 酸化タンタル膜 |
| 18 | 第 2 酸化タンタル膜 |
| 19、24 | 窒化チタン膜 |
| 20、25 | ドーパド多結晶シリコン膜 |
| 21、26 | キャパシタ |
| 22、23 | 酸化タンタル膜 |

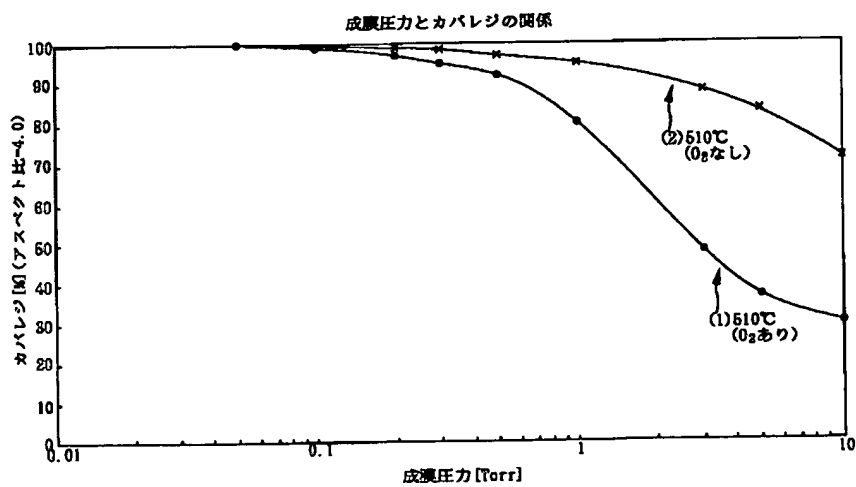
【図3】



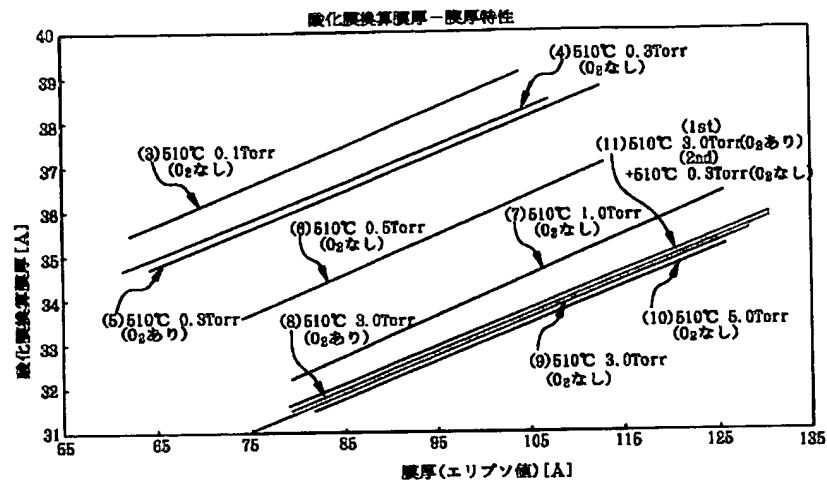
【図4】



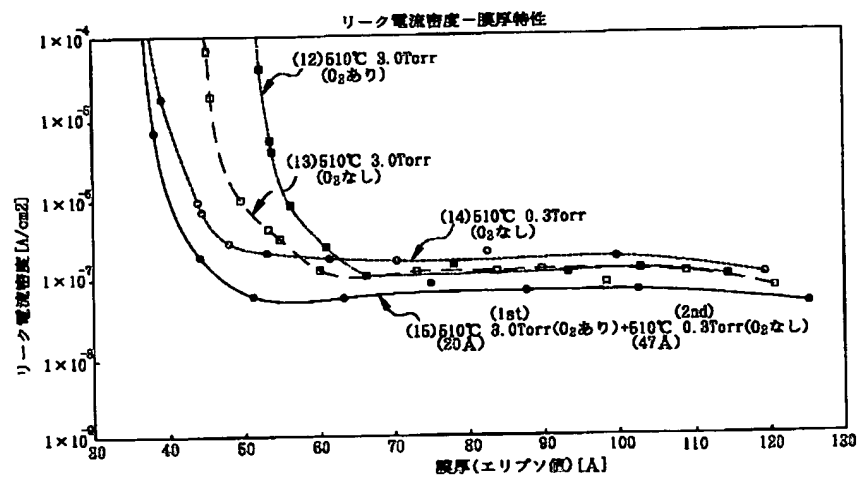
【図7】



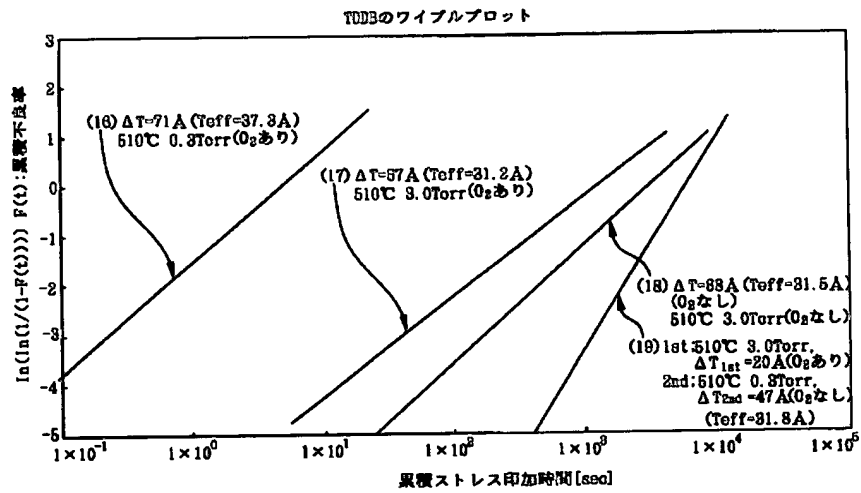
【図8】



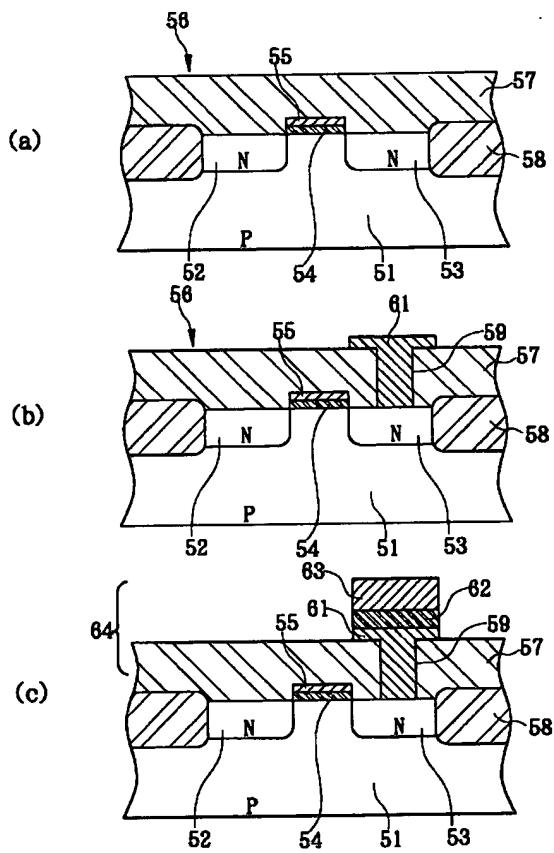
【図9】



【図10】



【図14】



フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
H O 1 L	21/314	H O 1 L	C
	27/04	27/04	6 2 1 Z
	21/822		

F ターム (参考) 4G048 AA02 AB01 AB04 AB05 AC04
 AD02 AE08
 4K030 AA11 BA17 CA04 DA09 HA01
 JA01 JA09 LA02 LA19
 5F038 AC05 AC09 AC10 AC14 AC15
 AC16 AC18 DF05 EZ14 EZ17
 5F058 BA11 BD01 BD05 BD10 BE10
 BF04 BF27 BF29 BF30 BH03
 BH04 BH17 BH20 BJ01
 5F083 AD31 AD62 GA25 JA06 JA40
 JA56 MA06 MA17 PR16 PR21
 PR33